

RECD 12 DEC 2003

PCT/KR 03 / 02416

WIPO PCT

RO/KR 11.11.2003

대한민국 특허청  
KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2003-0022570  
Application Number

**PRIORITY DOCUMENT**  
SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH  
RULE 17.1(a) OR (b)

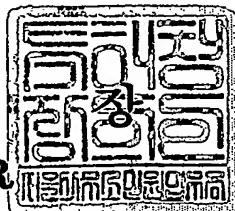
출원년월일 : 2003년 04월 10일  
Date of Application APR 10, 2003

출원인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.

2003 년 05 월 02 일

특허청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2003.04.10
【국제특허분류】	H01L
【발명의 명칭】	저항성 티를 구비한 반도체 탐침 제조방법
【발명의 영문명칭】	Method of fabricating semiconductor probe with resistive tip
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	2003-003435-0
【대리인】	
【성명】	이해영
【대리인코드】	9-1999-000227-4
【포괄위임등록번호】	2003-003436-7
【발명자】	
【성명의 국문표기】	박홍식
【성명의 영문표기】	PARK, Hong Sik
【주민등록번호】	740224-1691011
【우편번호】	138-840
【주소】	서울특별시 송파구 삼전동 107-12번지 303호
【국적】	KR
【발명자】	
【성명의 국문표기】	정주환
【성명의 영문표기】	JUNG, Ju Hwan
【주민등록번호】	720308-1018611

1020030022570

출력 일자: 2003/5/7

【우편번호】 137-130  
【주소】 서울특별시 서초구 양재동 381-2 그랜드빌리지 B01호  
【국적】 KR  
【발명자】  
【성명의 국문표기】 흥승범  
【성명의 영문표기】 HONG, Seung Bum  
【주민등록번호】 720826-1037325  
【우편번호】 463-500  
【주소】 경기도 성남시 분당구 구미동 하양마을 5단지 주공아파트  
507동 1305 호  
【국적】 KR  
【심사청구】 청구  
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정  
에 의한 출원심사를 청구합니다. 대리인  
이영필 (인) 대리인  
이해영 (인)  
【수수료】  
【기본출원료】 20 면 29,000 원  
【가산출원료】 9 면 9,000 원  
【우선권주장료】 0 건 0 원  
【심사청구료】 8 항 365,000 원  
【합계】 403,000 원  
【첨부서류】 1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

저항성 텁을 구비한 반도체 탐침의 제조방법이 개시된다. 개시된 저항성 텁을 구비한 반도체 탐침의 제조방법은, 제1불순물로 도핑된 기판의 상면에 마스크를 형성한 후, 마스킹 영역의 양측의 기판에 제2불순물을 고농도로 도핑하여 제1 및 제2반도체 전극영역을 형성하고, 상기 기판을 열처리하여 상기 제1 및 제2반도체영역의 고농도 불순물을 서로 마주보는 영역으로 확산시켜서 상기 고농도 제2불순물 영역의 가장자리에 형성되는 저농도 제2불순물 영역을 중첩시킴으로써 저농도 불순물이 도핑된 저항영역을 형성한다. 상기 제1 및 제2반도체 영역 사이의 중앙부를 소정 형상으로 마스킹하여 식각함으로써 저항성 텁을 형성한다. 이에 따르면, 자기정렬에 의해서 반도체 전극 영역 사이에 존재하는 저항 영역을 텁 끝의 중앙에 형성시킬 수 있는 있으며, 열확산공정으로 저농도의 불순물 영역인 저항영역을 형성할 수 있으므로 저항성 텁을 구비한 반도체 탐침의 제작 과정이 단순화된다.

**【대표도】**

도 5i

### 【명세서】

#### 【발명의 명칭】

저항성 텁을 구비한 반도체 탐침 제조방법{Method of fabricating semiconductor probe with resistive tip}

#### 【도면의 간단한 설명】

도 1a는 종래의 스캐닝 프로브 마이크로스코프의 탐침을 보여주는 사시도이다.

도 1b는 도 1a의 A를 확대한 확대도이다.

도 2a는 종래의 MOSFET 텁을 이용하여 기록매체의 표면전하를 검출하는 방법을 간략히 나타낸 개념도이다.

도 2b는 종래의 MOSFET 텁에서 채널이 형성되는 원리를 간략히 나타낸 도면이다.

도 3은 본 발명의 실시예에 따라 제조되는 저항성 텁을 구비한 반도체 탐침을 간략하게 도시한 도면이다.

도 4는 도 3의 탐침에서 공핍영역이 확장되는 원리를 간략히 나타낸 개념도이다.

도 5a 내지 도 5i는 본 발명의 실시예에 따른 탐침의 제조방법을 개략적으로 도시한 사시도이다.

도 6a 내지 도 6e는 본 발명의 실시예에 따른 저항영역을 형성하는 단계를 시뮬레이션한 그래프이다.

도 7은 본 발명의 실시예에 따라 제조된 탐침을 이용하여 정보를 재생하는 방법을 간략히 보여주는 설명도이다.

도 8은 본 발명의 실시예에 따라 제조된 탐침을 이용하여 정보를 기록하는 방법을 간략히 보여주는 설명도이다.

\*도면의 주요 부분에 대한 부호설명\*

30, 50 ; 팁	31 ; 기판
32, 52 ; 제1반도체 전극영역	33 ; 마스크막
34, 54 ; 제2반도체 전극영역	35 ; 감광제
36, 56 ; 저항 영역	37 ; 절연층
38 ; 포토마스크	39 ; 전극 패드
41 ; 캔티레버	51 ; 전원
53 ; 기록매체	55 ; 하부전극
59 ; 유전체층	68 ; 공핍영역

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<20> 본 발명은 저항성 팁을 구비한 반도체 탐침의 제조방법에 관한 것으로서, 더욱 상세하게는 저항성 영역을 불순물 도핑 및 열확산 공정으로 형성하는 저항성 팁을 구비한 반도체 탐침의 제조방법에 관한 것이다.

<21> 오늘날 휴대용 통신 단말기, 전자 수첩등 소형 제품에 대한 수요가 증가함에

따라 초소형 고집적 비휘발성 기록매체의 필요성이 증가하고 있다. 기존의 하드 디스크는 소형화가 용이하지 아니하며, 플래쉬 메모리(flash memory)는 고집적도를 달성하기 어려우므로 이에 대한 대안으로 주사 탐침(Scanning probe)을 이용한 정보 저장 장치가 연구되고 있다.

<22> 탐침은 여러 SPM(Scanning Probe Microscopy)기술에 이용된다. 예를 들어, 탐침과 시료 사이에 인가되는 전압차이에 따라 흐르는 전류를 검출하여 정보를 재생하는 주사관통현미경(Scanning Tunneling Microscope; STM), 탐침과 시료 사이의 원자적 힘을 이용하는 원자간력 현미경(Atomic Force Microscope; AFM), 시료의 자기장과 자화된 탐침간의 힘을 이용하는 자기력 현미경(Magnetic Force Microscope; MFM), 가시광선의 파장에 의한 해상도 한계를 개선한 근접장 주사 광학 현미경(Scanning Near-Field Optical Microscope; SNOM), 시료와 탐침간의 정전력을 이용한 정전력 현미경(Electrostatic Force Microscope; EFM) 등에 이용된다.

<23> 이러한 SPM 기술을 이용하여 정보를 고속 고밀도로 기록 및 재생하기 위해서는 수십나노미터 직경의 작은 영역에 존재하는 표면전하를 검출할 수 있어야 하며, 기록 및 재생속도를 향상시키기 위해 캔티레버를 어레이 형태로 제작할 수 있어야 한다.

<24> 도 1a는 국내공개특허 제2001-45981호에 기재된 MOSFET(Metal On Semiconductor Field Effect Transistor) 채널구조가 형성된 스캐닝 프로브 마이크로스코프의 탐침의 사시도임, 도 1b는 도 1a의 A의 확대도이다.

<25> 도 1a를 참조하면, 반도체 기판(20)이 식각되어 형성된 탐침(10)이 기판(20)으로부터 막대 모양으로 돌출되어 있으며, 탐침(10)의 양측은 기판(20) 상의 마주보는 전극패드(20a, 20b)에 연결되어 있다.

<26> 도 1b를 참조하면, 탐침(10)의 V자형 팀 끝의 경사면에 소스(11)와 드레인(13)영역이 형성되어 있으며 그 사이에 채널영역(12)이 팀의 중앙에 위치한다.

<27> 이러한 구조를 가지는 탐침(10)의 팀은 캔티레버의 말단에 위치하므로 어레이형태의 제작이 어려우며 수십나노미터의 반경을 가지도록 제조하기가 용이하지 않다. 종래의 기술에서는 이러한 탐침을 제조하기 위해 캔티레버 상에 수직으로 위치하도록 산화공정 등과 같은 제반공정을 거쳐 수십 나노미터 크기의 반경을 가지는 팀을 제조한다.

<28> 하지만, 수 마이크로미터 높이의 팀이 형성된 상태에서는 사진식각공정의 정밀도가 많이 떨어지므로 짧은 채널 길이를 가지는 소스와 드레인 영역을 형성하기가 어렵다. 또한, 확산공정을 통해 짧은 채널 길이를 구현하더라도 사진식각공정에서의 정렬오차로 인해 짧은 채널을 팀(10)의 중심의 끝에 정렬시키기 어려운 문제점이 있다.

<29> 도 2a 및 도 2b는 종래의 소스와 드레인 전극(11, 13)이 형성되어진 MOSFET 팀을 이용하여 정보를 재생하는 방법을 간략히 나타낸 도면이다.

<30> 도 2a를 참조하면, 종래의 MOSFET 팀(10)은 p형 불순물이 도핑된 V자형의 팀(10)의 경사면에 n형 불순물이 도핑된 소스영역(11)과 드레인 영역(13)을 구비하며, 기록매체(15)의 표면을 이동하며 표면전하(17)의 극성에 따라 채널(12)에 흐르는 전류의 값을 검출하여 표면전하(17)의 극성과 크기를 검출한다.

<31> 도 2b는 종래의 MOSFET 팀(10)의 첨두부를 확대하여 공핍영역(14)이 확산되어 가는 과정을 간략히 보이고 있다.

<32> 도 2b를 참조하면, 탐침의 팁(10)이 기록매체(15) 내의 양의 표면전하(17)의 상방에 위치하는 경우, 표면전하(17)의 전계에 의해 p형 불순물이 도핑된 채널 영역(12)의 정공이 팁 끝에서 공핍된다.

<33> 공핍영역의 크기가 최대가 되는 전계값 이상의 전계가 가해질 경우 팁의 끝에 소수 캐리어인 전자의 채널이 형성되고, 그보다 더 큰 전계가 인가되어 소스와 드레인 영역(11, 13)에 접촉하도록 전자 채널이 형성되면 소스와 드레인 영역(11, 13)간에 인가된 전압에 의해 전류가 채널을 통해 흐르게 된다.

<34> 즉, 종래의 MOSFET 팁은 표면전하에 의한 전계가 소스 및 드레인 영역까지 소수 캐리어의 채널을 형성시킬 수 있는 문턱전계값 이상을 가지는 경우에만 트랜지스터로 동작 하므로, 문턱전계값보다 작은 전계를 발생시키는 표면전하는 검출할 수 없어 구동 범위가 제한적이며 감도가 떨어지는 단점이 있다.

#### 【발명이 이루고자 하는 기술적 과제】

<35> 본 발명이 이루고자하는 기술적 과제는 상술한 종래 기술의 문제점을 개선하기 위한 것으로서, 전계에 대한 감도가 우수한 저항성 팁을 가지는 반도체 탐침을 자기정렬 방법을 이용하여 제조하는 방법을 제공하는 것이다.

#### 【발명의 구성 및 작용】

<36> 상기 기술적 과제를 달성하기 위하여 본 발명은, 제1불순물이 도핑된 팁과, 상기 팁이 말단부에 위치하는 캔티레버를 구비하며, 상기 팁의 첨두부에는 상기 제1불순물과 극성이 다른 제2불순물이 저농도로 도핑된 저항영역이 형성되고, 상기 팁의 경사면에는

상기 제2불순물이 고농도로 도핑된 제1 및 제2반도체 전극영역을 구비하는 저항성 텁을 구비한 반도체 탐침을 제조하는 방법에 있어서,

- <37> 상기 저항영역은, 상기 제1 및 제2반도체영역을 열처리하여 상기 제1 및 제2반도체 영역의 고농도 제2불순물을 서로 마주보는 영역으로 확산시켜서 상기 고농도 제2불순물 영역의 가장자리에 형성되는 저농도 제2불순물 영역을 중첩시켜서 형성되는 것을 특징으로 하는 저항성 텁을 구비한 반도체 탐침 제조방법을 제공한다.
- <38> 상기 제조방법은, 제1불순물을 도핑한 기판의 상면에 스트라이프형의 마스크막을 형성하고, 상기 마스크막을 제외한 기판의 영역에 상기 제1불순물과 다른 극성의 제2불순물을 고농도로 도핑하여 제1 및 제2반도체 전극 영역을 형성하는 제1단계;
- <39> 상기 기판을 열처리하여 상기 제1 및 제2 반도체 전극 영역 사이의 거리를 좁히고, 상기 제1 및 제2 반도체 전극 영역의 외곽에 상기 제2분순물이 저농도로 도핑된 저항영역을 형성하는 제2단계;
- <40> 소정 형상으로 상기 마스크막을 패터닝하여 상기 패터닝된 마스크막을 제외한 상기 기판의 상면을 식각하여 저항성 텁을 형성하는 제3단계; 및
- <41> 상기 기판의 하면을 식각하여 상기 저항성 텁이 말단부에 위치하도록 캔티레버를 형성하는 제4단계;를 포함하는 것이 바람직하다.
- <42> 상기 제2단계는,
- <43> 상기 제1 및 제2반도체 전극영역에서 확산된 저항영역이 상기 기판의 상부에서 서로 접촉되어 텁형성부를 형성하는 것이 바람직하다.
- <44> 상기 제3단계는,

<45> 상기 마스크막과 직교하는 방향으로 스트라이프상의 감광제를 형성한 다음, 칵각공정을 수행하여 상기 마스크막을 사각형상으로 형성하는 단계;를 포함하는 것이 바람직하다.

<46> 상기 제3단계는,

<47> 상기 기판을 산소 분위기에서 열처리하여 상기 텁부를 포함하는 표면에 소정 두께의 산화막을 형성하는 단계; 및

<48> 상기 산화막을 제거하여 상기 텁형성부를 뾰족하게 하는 단계;를 포함하며,

<49> 상기 제1 및 제2반도체 전극영역에서 확산된 저항영역이 상기 기판의 상부에서 서로 접촉되어 텁형성부를 형성하는 것이 바람직하다.

<50> 상기 제1불순물은 p형 불순물이고, 상기 제2불순물은 n형 불순물이거나, 또는 상기 제1불순물은 n형 불순물이고, 상기 제2불순물은 p형 불순물이다.

<51> 이하, 첨부된 도면들을 참조하여 본 발명의 바람직한 실시예에 따른 저항성 텁을 구비한 반도체 탐침 제조방법을 상세히 설명한다. 이 과정에서 도면에 도시된 층이나 영역들의 두께는 명세서의 명확성을 위해 과장되게 도시된 것이다.

<52> 도 3은 본 발명의 제조방법에 의해 제조된 저항성 텁을 구비한 반도체 탐침의 텁 부분만을 간략히 나타낸 도면이다.

<53> 도 3을 참조하면, 반도체 탐침의 텁(50)은, 제1불순물이 도핑된 텁(50)의 몸체부 (58)와, 텁(50)의 첨두부에 위치하며 제2불순물이 저농도로 도핑되어 형성된 저항 영역 (56)과, 저항 영역(56)을 사이에 두고 텁(50)의 경사면에 위치하며 상기 제2불순물이 고농도로 도핑된 제1 및 제2반도체 전극 영역(52, 54)을 구비한다. 여기서, 제1불순물이 p

형 불순물인 경우 제2불순물은 n형 불순물이고 제1불순물이 n형 불순물인 경우 제2불순물은 p형 불순물이다.

<54> 기록매체의 표면전하(57)의 전하량의 차이는 발생되는 전계의 크기 차이를 유발하고, 전계의 크기 차이는 저항영역(56)의 저항값 차이를 유발하는데, 이 저항값의 변화로부터 표면 전하의 극성과 크기를 검출할 수 있다.

<55> 도 4는 도 3의 반도체 탐침의 팁(50)의 말단부를 확대한 도면이다.

<56> 도 2b에 도시된 바와 같은, 종래의 FET 팁(10)에서는, 공핍 영역(14)이 형성되어 팁 끝에 소수 캐리어인 전자의 채널이 형성되고 공핍영역(14)이 제1 및 제2반도체 전극 영역(11, 13)까지 확장되어 전자 채널이 형성되어야 소스 및 드레인 영역(11, 13)간에 전류가 흐르게 되고 그 전류의 크기로부터 표면 전하의 극성을 검출할 수 있으나, 도 4의 저항성 팁(50)은 공핍 영역(68)이 반도체전극 영역(52, 54)까지 확장되지 않더라도 부도체인 공핍영역에 의해 저항 영역(68)의 면적이 줄어들게 됨으로써 저항영역(68)의 저항값의 변화가 발생하여 표면전하(57)의 극성과 크기를 검출할 수 있다. 상기 반도체 탐침은, 종래의 FET 팁에 비해 표면전하를 감지할 수 있는 문턱전계값이 낮아져 팁(50)의 감도가 더 우수하다.

<57> 도 4를 참조하면, 저항 영역(56)의 내부에 형성되는 공핍 영역(68)이 표면 음전하(57)가 발생시키는 전계에 의해 점차 제1 및 제2반도체 전극 영역(52, 54)방향으로 확장되고 있는 것을 볼 수 있다.

<58> 도 5a 내지 도 5i는 본 발명의 실시예에 따른 반도체 탐침의 제조과정을 순차적으로 보여주는 사시도이다.

<59> 먼저, 제1불순물로 도핑된 실리콘 기판(31) 또는 SOI(Silicon On Insulator) 기판의 표면에 실리콘 산화막 또는 실리콘 질화막 등의 마스크막(33)을 형성하고, 감광제(36)를 그 상면에 도포한 다음, 스트라이프형의 마스크(38)를 그 상방에 배치시킨다(도 5a 참조).

<60> 이어서, 노광, 현상 및 식각 공정을 수행하여 패터닝한다. 사진 및 식각공정을 통해, 도 5b에 도시된 바와 같이, 스트라이프형의 마스크막(33)을 기판(31)의 상부에 형성시킨 다음, 마스크막(33)을 제외한 영역을 제2불순물로 고농도 도핑하여 제1 및 제2반도체 전극 영역(32, 34)을 형성한다. 제1 및 제2반도체 전극 영역(32, 34)은 비저항값이 매우 낮게 형성되어 도전체로 작용한다.

<61> 이어서, 열처리(annealing) 공정을 수행하여 제1 및 제2반도체 전극 영역(32, 34) 사이의 폭을 마스크막(33)의 폭보다 줄인다. 도 5c에 도시된 것과 같이 제2불순물의 고농도 영역(32, 34)이 확대되면, 고농도 영역과 인접한 영역에 제2불순물이 확산되어서 제2불순물의 저농도영역을 형성한다. 즉, 저항 영역(36)을 형성한다. 마스크막(33) 하부의 저항영역(36)은 서로 접촉되어 후술하는 저항성 텁의 첨두부 형성부를 형성한다. 이 저항영역(36)의 접합은 후술하는 열산화공정에서 이루어져도 된다.

<62> 이어서, 기판(31)의 상면에 마스크막(33)을 덮도록 감광제(35)를 도포한 다음 그 상방에 도 5d에 도시된 바와 같이 마스크막(33)과 직교하도록 스트라이프형의 포토마스크(38)를 배치시켜서, 노광, 현상 및 식각 공정을 실시하면 포토마스크(38)와 동일한 형태의 감광제층(35a)이 형성된다.(도 5e 참조).

<63> 이어서, 스트라이프형의 감광제(35)에 의해 덮히지 않은 마스크막(33)을 건식 식각하여 사각형상의 마스크막(33a)을 형성한다.(도 5f 참조).

<64> 다음에, 도 5g에 도시된 바와 같이 감광제를 제거한 후, 사각형상의 마스크막(33a)을 마스크로 하여 기판(31)을 습식 또는 건식 식각하여 텁(30)의 경사면에 제1 및 제2반도체 전극영역(32, 34)을 위치시키고, 저항영역(36)을 텁(30)의 첨두부로 정렬시킨다(도 5h 참조).

<65> 이어서, 마스크막(33a)을 제거한 후, 기판(31)을 산소 분위기에서 가열하면, 기판의 상면에 소정 두께의 실리콘 산화막(미도시)이 형성되며, 이 산화막을 제거하면 저항성 영역의 단이 뾰족해진다. 이러한, 열산화공정을 수행하면 텁의 샤프닝(sharpening)과 함께 격리된 저항성 영역을 겹치게 할 수도 있다.

<66> 이어서, 기판(31)의 하면을 식각하여 저항성 텁이 말단부에 위치하도록 캔티레버(41)를 형성하고, 제1 및 제2반도체 전극영역(32, 34)을 기판(31) 상에서 절연층(37)에 의해 절연된 전극패드(39)에 연결시켜서 도 5i에 도시된 바와 같은 반도체 탐침을 완성한다.

<67> 본 발명의 실시예에 따른 반도체 탐침 제조방법에서는, 텁(30) 제작 전에 제 1 및 제2반도체 전극 영역(32, 34)을 형성하는 이온 주입 공정을 수행하여, 미세한 사진 식각 공정을 수행할 수 있으며 열확산 공정으로 저항 영역(36)을 용이하게 형성할 수 있다.

<68> 도 6a 내지 도 6e 는 본 발명의 실시예에 따른 저항영역을 형성하는 단계를 컴퓨터로 시뮬레이션한 그래프이며, 도 5a 내지 도 5i의 도면부재와 실질적으로 동일한 도면부재에는 동일한 참조번호를 사용하여 설명한다.

<69> 먼저, 도 6a 에서보면, n형 불순물이  $10^{15}$  농도로 도핑된 실리콘 기판(31)을 마스크막(33)을 제외한 영역을 p형 불순물로 이온 주입하면, 기판(31)의 표면으로부터 내부

로 순차적으로  $10^{21} \sim 10^{15}$  불순물이 도핑된 것을 볼 수 있다. 제2불순물로 고농도 도핑된 제1 및 제2 반도체 전극 영역(32, 34)은 비저항값이 매우 낮아서 도전체로 된다.

<70> 이어서, 열처리(annealing) 공정으로 제1 및 제2반도체 전극 영역(32, 34) 사이의 폭이 도 6b에 도시된 바와 같이 마스크막(33)의 폭보다 좁아지며, 불순물 확산이 더 진행되어 불순물이  $10^{21}$  도핑된 영역이 확산된 것을 볼 수 있다. 그리고, 고농도 영역(32, 34)과 인접한 영역에 제2불순물이 확산되어서 저농도영역을 형성한다. 즉, 저항 영역(36)을 형성한다.

<71> 이어서, 패터닝된 사각형상의 마스크막(33a)을 마스크로 하여 기판(31)을 습식 각하면, 도 6c 에 도시된 바와 같이 텁의 형상이 형성된다.

<72> 이어서, 마스크막(33a)을 제거한 후, 기판(31)을 산소 분위기에서 가열하면, 텁 형상의 표면에 실리콘 산화막이 형성되면서 텁이 도 6d 에 도시된 바와 같이 뾰족해진다. 이때 서로 격리되어 있던 저항 영역(36)이 접촉되어서 저항성 영역의 텁을 형성한다.

<73> 이어서, 산화막을 제거하면 도 6e에 도시된 바와 같은 뾰족한 텁(30)이 형성된다.

<74> 이하.본 발명의 실시예에 따른 탐침의 제조방법에 의해 제조된 탐침을 이용하여 정보 기록 및 재생하는 방법에 대해 도면을 참조하여 설명한다.

<75> 도 7은 p형 불순물 도핑을 통해 저항 영역이 형성된 탐침을 이용하여 양의 표면전하를 검출하는 정보재생방법을 보여주는 설명도이다.

<76> 도 7을 참조하면, 제1 및 제2 반도체 전극 영역(52, 54)에 p형 불순물이 고농도 도핑되고, 저항 영역(56)에 p형 불순물이 저농도 도핑된 경우, 텁(50)이 위치하는 부분이

양의 표면전하(57)가 존재할 경우, 전하(57)로부터 발생되는 전계에 의해 텁 끝 저항 영역(56)에 공핍 영역이 형성된다.

<77>      공핍 영역은 부도체 영역으로 기능하므로 결과적으로 저항 영역(56)의 면적이 감소되어 저항값은 커지게 된다. 제1 및 제2 반도체 전극영역(52, 54)에 전원(51) 및 전류계(A)를 연결하면 저항영역(56)의 저항값의 변화로 전류의 변화를 알 수 있으므로 저항성 텁(50)으로 양의 표면전하를 검출할 수 있다. 음의 표면전하 위해 텁을 위치시킬 경우 공핍영역이 형성되지 않아 저항값의 변화가 거의 없거나 작아져서 표면전하의 극성을 구별할 수 있다. 음의 전하를 정보 0으로, 양의 전하를 정보 1로 정의할 수 있고 또 는 그 역도 가능하다.

<78>      저항영역(56)에 n형 불순물이 저농도 도핑된 텁(50)을 사용하여 음의 표면전하를 검출하는 정보재생방법은 도 7에서 상술한 것과 유사하므로 상세한 설명은 생략한다.

<79>      도 8은 저항성 텁을 구비한 반도체 탐침을 이용하여 기록매체(53)에 정보를 기록하는 방법을 나타낸 도면이다.

<80>      도 8을 참조하면, 기록매체(53)에 정보를 기록하기 위해, 텁(50)의 제1 및 제2반도체 전극 영역(52, 54)과 몸체부(58)에 동일 전압을 인가하고 유전체층(59)을 지지하는 하부 전극(55)을 접지시켜 텁(50)의 첨두부와 기록매체(53)의 하부 전극(55) 사이에 전계가 형성되도록 한다. 여기서, 제1 및 제2반도체 전극 영역(52, 54)에만 동일 전압을 인가하여도 텁(50)과 하부 전극(55) 사이에 전계를 형성하여 기록매체(53)에 정보를 기록할 수 있다.

<81> 전계가 형성되면, 기록매체(53)에 구비되어 있는 강유전체의 유전 분극(57)이 발생하여 표면전하가 형성되거나 기존에 형성되어 있던 표면전하의 극성을 바꿀 수 있다. 양의 전하를 정보 0으로 음의 전하를 정보 1로 정의하여 기록할 수 있고 그 역도 가능하다.

<82> 상기한 설명에서 많은 사항이 구체적으로 기재되어 있으나, 그들은 발명의 범위를 한정하는 것이라기보다, 바람직한 실시예의 예시로서 해석되어야 한다.

<83> 예를 들어 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 본 발명의 기술적 사상에 의해 다양한 형태의 탐침을 제조할 수 있을 것이다. 때문에 본 발명의 범위는 설명된 실시예에 의하여 정하여 질 것이 아니고 특허 청구범위에 기재된 기술적 사상에 의해 정하여야 쳐야 한다.

#### 【발명의 효과】

<84> 본 발명의 저항성 텁을 구비한 반도체 탐침의 제조방법에 따르면, 상술한 자기정렬에 의해서 반도체 전극 영역 사이에 존재하는 저항 영역을 텁 끝의 중앙에 형성시킬 수 있는 있으며, 열확산공정으로 저농도의 불순물 영역인 저항영역을 형성할 수 있으므로 제작과정이 단순화된다. 이러한 제조방법으로 탐침의 캔티레버의 말단부에 수직으로 형성되는 텁에 작은 폭의 저항 영역을 구현함으로써 기록매체 상에 작은 영역에 존재하는 작은 양의 표면 전하를 감지할 수 있는 주사탐침 기술을 이용한 나노 소자를 제작하기에 용이하다.

<85> 또한, 이렇게 제작된 탐침을 주사탐침기술을 응용한 대용량, 초소형 정보저장장치에 이용하는 경우, 작은 영역에 존재하는 전하를 검출하고 형성하여 정보를 기록 및 재생할 수 있는 장치로 이용할 수 있다.

**【특허청구범위】****【청구항 1】**

제1불순물이 도핑된 텁파, 상기 텁이 말단부에 위치하는 캔티레버를 구비하며, 상기 텁의 첨두부에는 상기 제1불순물과 극성이 다른 제2불순물이 저농도로 도핑된 저항영역이 형성되고, 상기 텁의 경사면에는 상기 제2불순물이 고농도로 도핑된 제1 및 제2반도체 전극영역을 구비하는 저항성 텁을 구비한 반도체 탐침을 제조하는 방법에 있어서, 상기 저항영역은, 상기 제1 및 제2반도체영역을 열처리하여 상기 제1 및 제2반도체 영역의 고농도 제2불순물을 서로 마주보는 영역으로 확산시켜서 상기 고농도 제2불순물 영역의 가장자리에 형성되는 저농도 제2불순물 영역을 중첩시켜서 형성되는 것을 특징으로 하는 저항성 텁을 구비한 반도체 탐침 제조방법.

**【청구항 2】**

제 1 항에 있어서,

제 1불순물을 도핑한 기판의 상면에 스트라이프형의 마스크막을 형성하고, 상기 마스크막을 제외한 기판의 영역에 상기 제1불순물과 다른 극성의 제2불순물을 고농도로 도핑하여 제1 및 제2반도체 전극 영역을 형성하는 제1단계;

상기 기판을 열처리하여 상기 제1 및 제2 반도체 전극 영역 사이의 거리를 좁히고, 상기 제1 및 제2 반도체 전극 영역의 외곽에 상기 제2불순물이 저농도로 도핑된 저항영역을 형성하는 제2단계;

소정 형상으로 상기 마스크막을 패터닝하여 상기 패터닝된 마스크막을 제외한 상기 기판의 상면을 식각하여 저항성 텁을 형성하는 제3단계; 및

상기 기판의 하면을 식각하여 상기 저항성 텁이 말단부에 위치하도록 캔티레버를 형성하는 제4단계;를 포함하는 것을 특징으로 하는 저항성 텁을 구비한 반도체 탐침 제조방법.

#### 【청구항 3】

제 2 항에 있어서,

상기 제2단계는,

상기 제1 및 제2반도체 전극영역에서 확산된 저항영역이 서로 접촉되어 첨두부 형성부를 형성하는 것을 특징으로 하는 저항성 텁을 구비한 반도체 탐침 제조방법.

#### 【청구항 4】

제 2 항에 있어서,

상기 제3단계는,

상기 마스크막과 직교하는 방향으로 스트라이프상의 감광체를 형성한 다음, 식각공정을 수행하여 상기 마스크막을 사각형상으로 형성하는 단계;를 포함하는 것을 특징으로 하는 저항성 텁을 구비한 반도체 탐침 제조방법.

#### 【청구항 5】

제 2 항에 있어서,

상기 제3단계는,

상기 패터닝된 마스크막을 제거한 기판을 산소 분위기에서 열처리하여 표면에 소정 두께의 산화막을 형성하는 단계; 및

상기 산화막을 제거하여 상기 저항성 영역의 단을 뾰족하게 하는 단계;를 더 구비하는 것을 특징으로 하는 저항성 텁을 구비한 반도체 탐침 제조방법.

### 【청구항 6】

제 5 항에 있어서,

상기 제1 및 제2반도체 전극영역에서 확산된 저항영역이 상기 기판의 상부에서 서로 접촉되어 첨두부 형성부를 형성하는 것을 특징으로 하는 저항성 텁을 구비한 반도체 탐침 제조방법.

### 【청구항 7】

제 1 항에 있어서,

상기 제1불순물은 p형 불순물이고, 상기 제2불순물은 n형 불순물인 것을 특징으로 하는 저항성 텁을 구비한 반도체 탐침 제조방법.

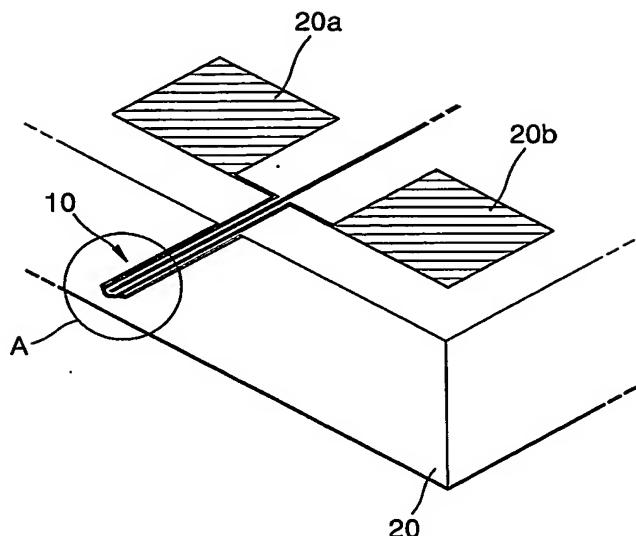
### 【청구항 8】

제 1 항에 있어서,

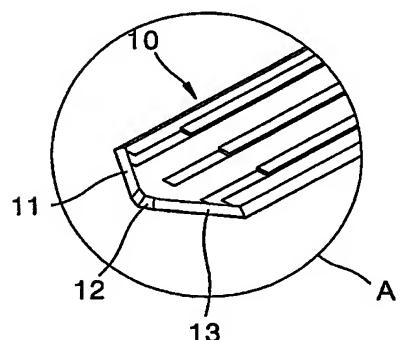
상기 제1불순물은 n형 불순물이고, 상기 제2불순물은 p형 불순물인 것을 특징으로 하는 저항성 텁을 구비한 반도체 탐침 제조방법.

## 【도면】

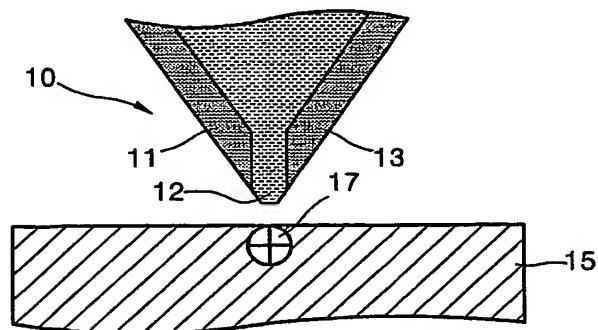
【도 1a】



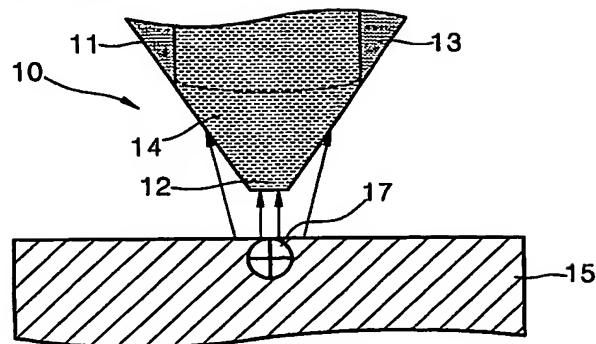
【도 1b】



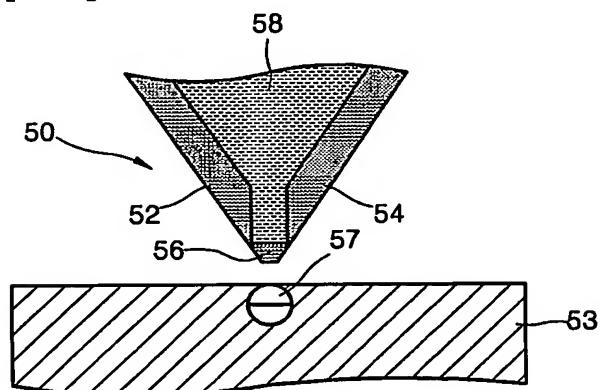
【도 2a】



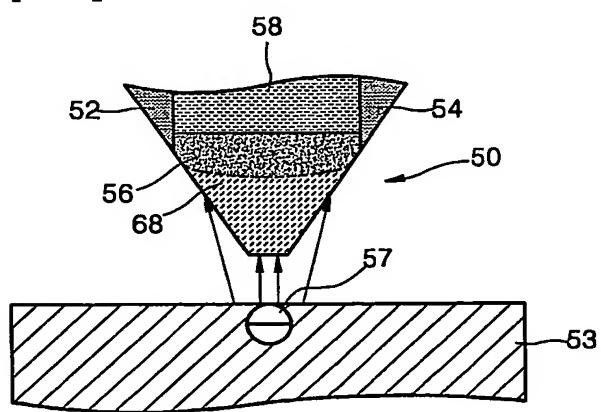
【도 2b】



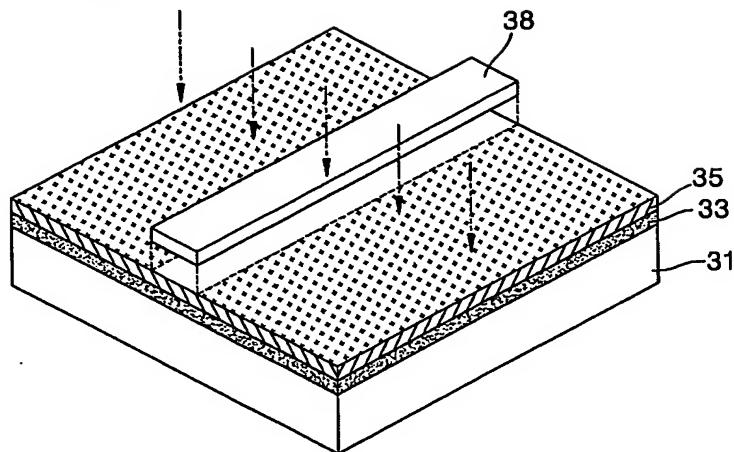
【도 3】



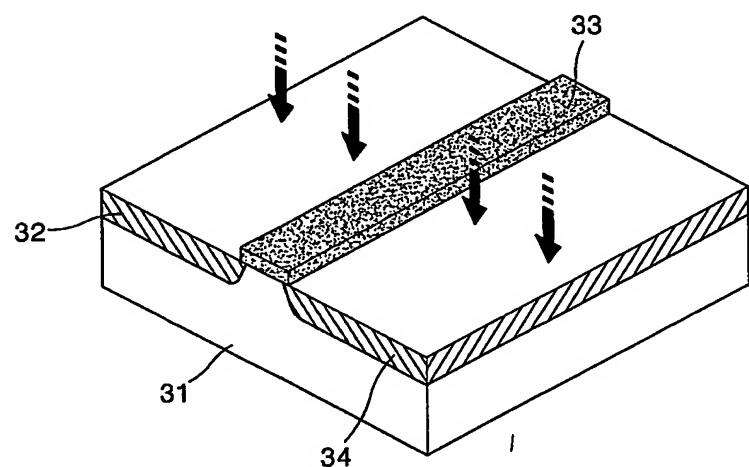
【도 4】



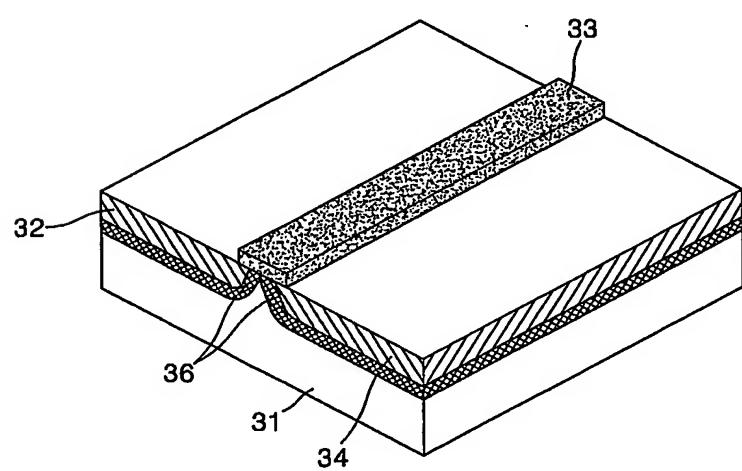
【도 5a】



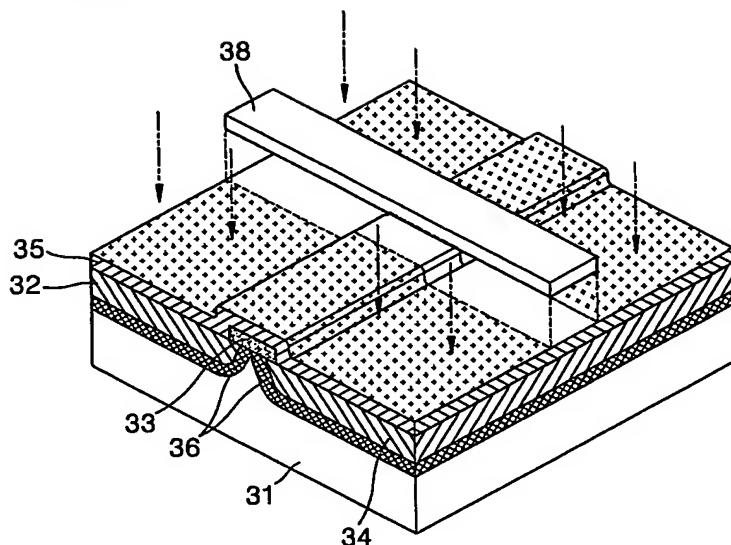
【도 5b】



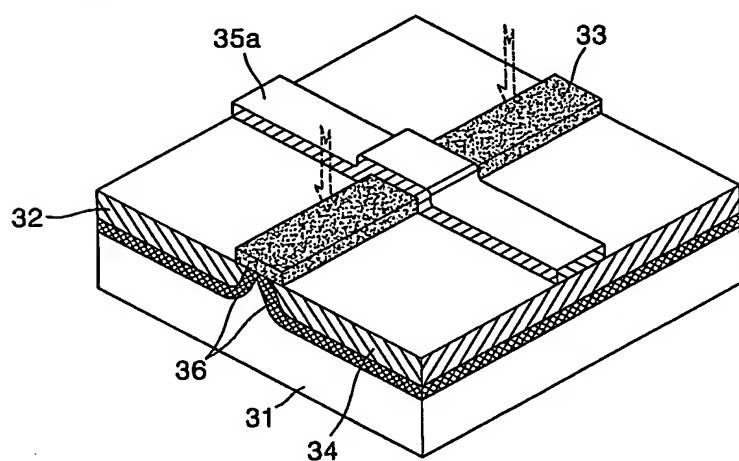
【도 5c】



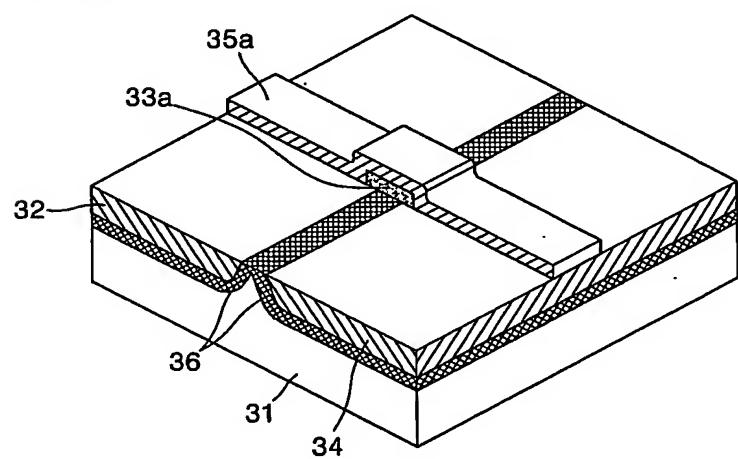
【도 5d】



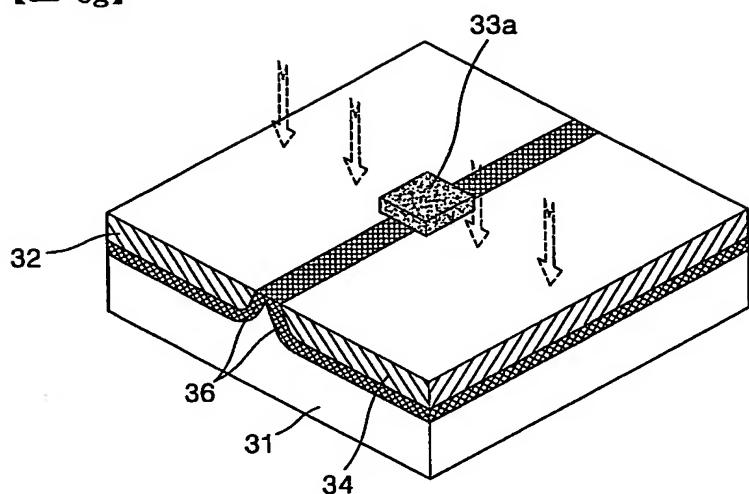
【도 5e】



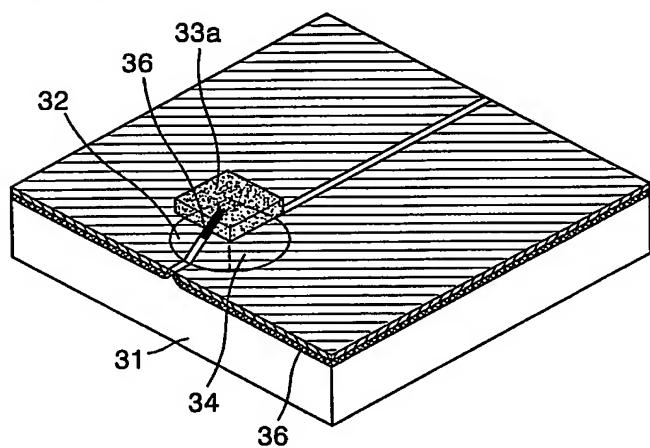
【도 5f】



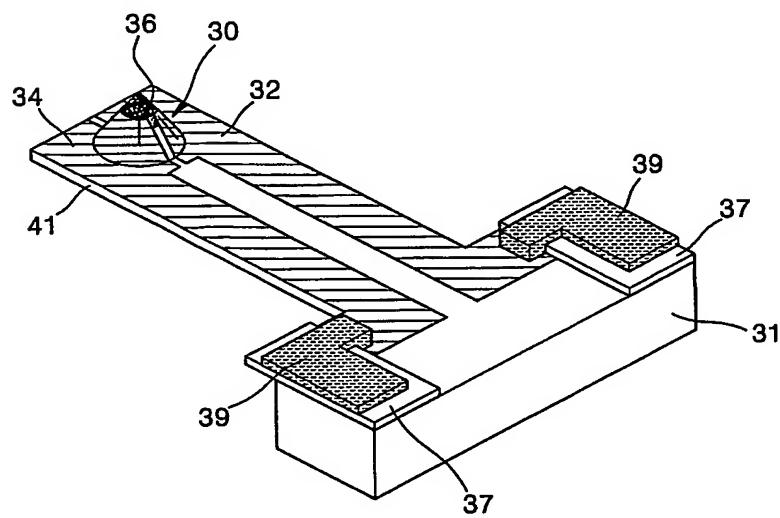
【도 5g】



【도 5h】



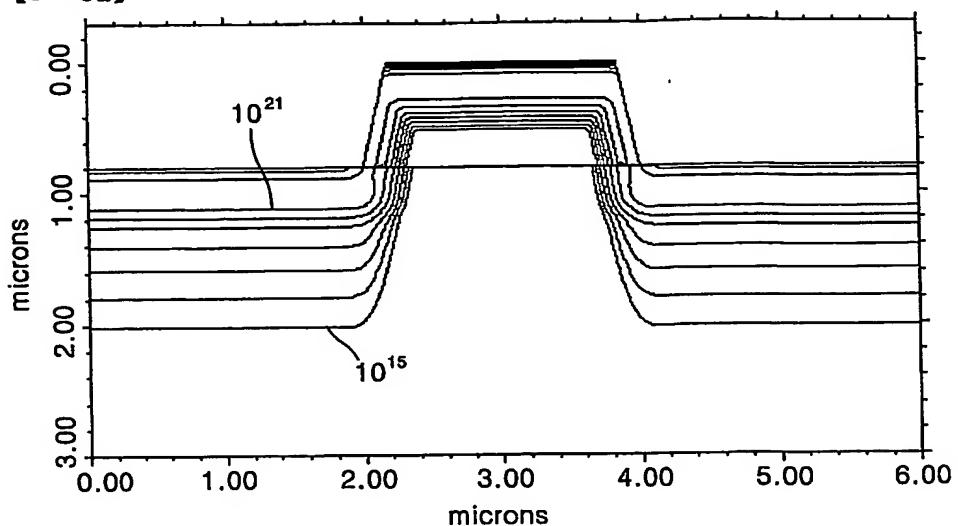
【도 5i】



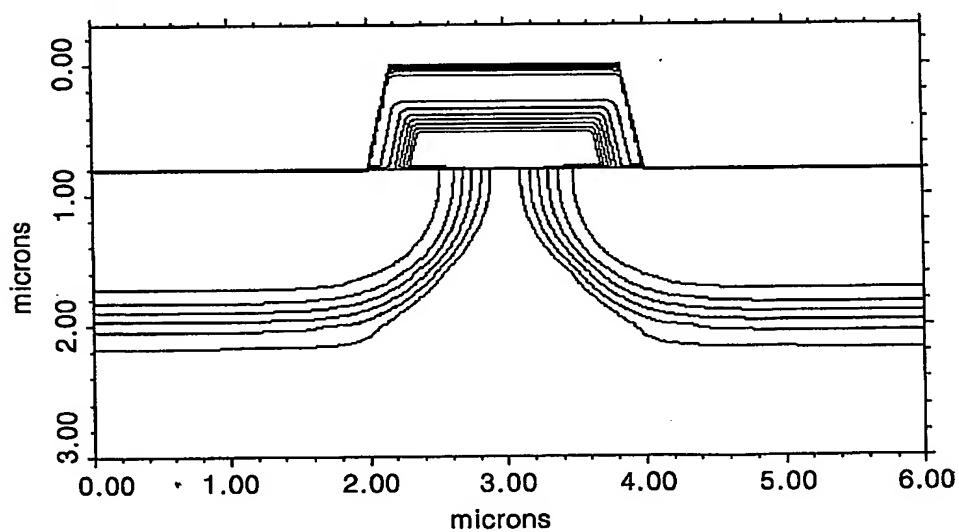
1020030022570

출력 일자: 2003/5/7

【도 6a】



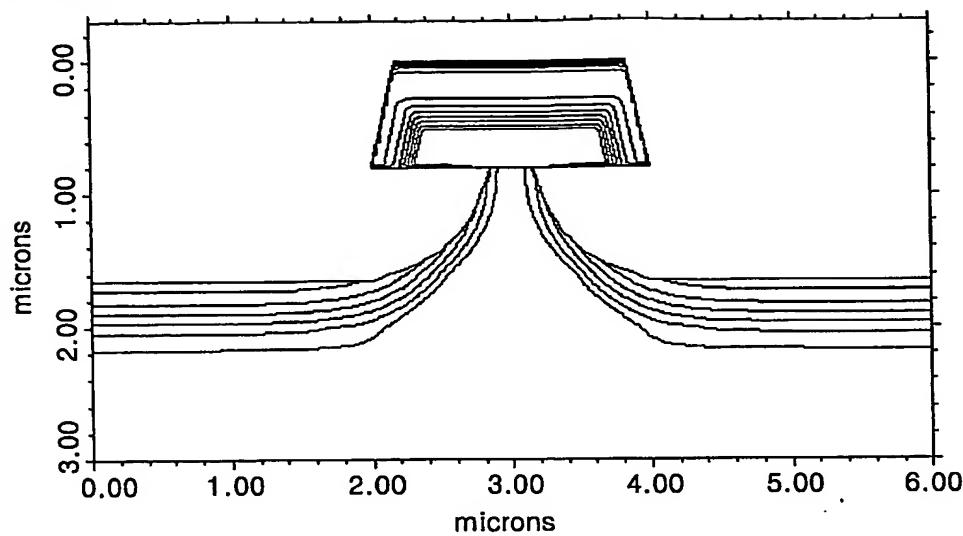
【도 6b】



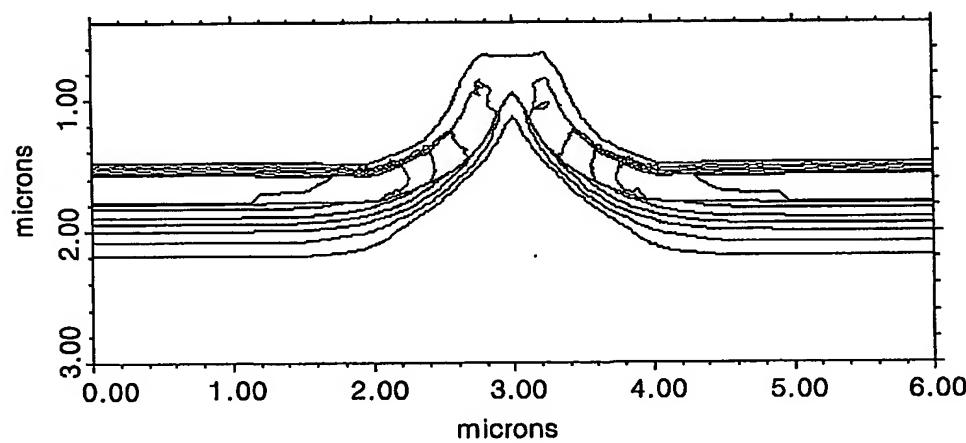
1020030022570

출력 일자: 2003/5/7

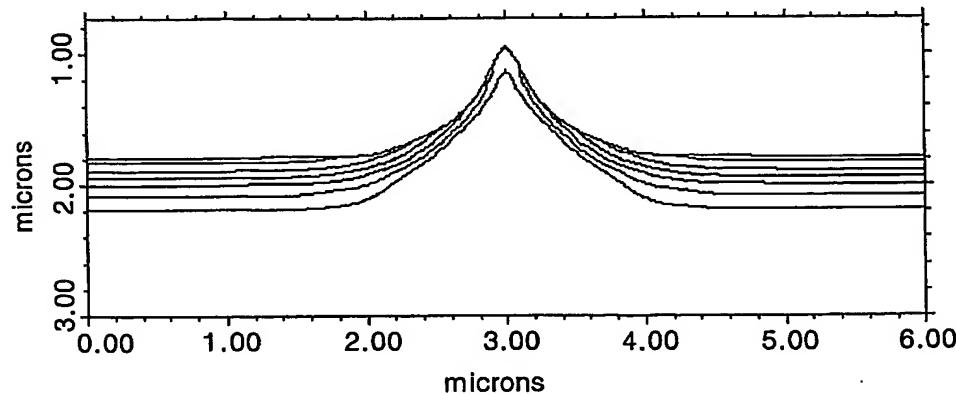
【도 6c】



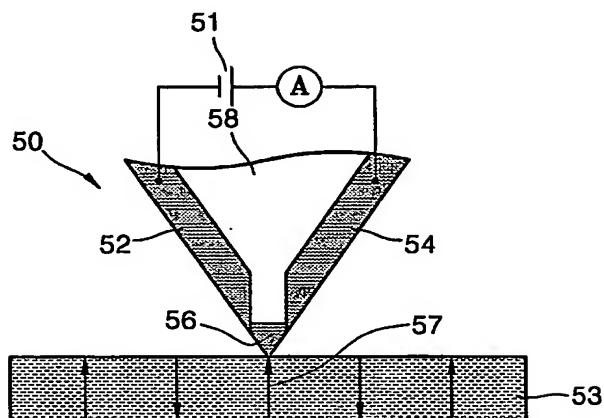
【도 6d】



【도 6e】



【도 7】



【도 8】

